

Family list
152 family members for:

JP5283694

Derived from 114 applications.

[Back to JP5283694](#)

- 1 SEMICONDUCTOR DEVICE AND METHOD FOR FORMING THE SAME**
Publication info: CN1051882C C - 2000-04-26
CN1081022 A - 1994-01-19
- 2 Electric device matrix device, electro-optical display device, and semiconductor memory having thin-film transistors**
Publication info: CN1052574C C - 2000-05-17
CN1086047 A - 1994-04-27
- 3 METHOD FOR FORMING A SEMICONDUCTOR DEVICE**
Publication info: CN1054469C C - 2000-07-12
CN1078068 A - 1993-11-03
- 4 Semiconductor device and method forming same**
Publication info: CN1070052 A - 1993-03-17
CN1121741C C - 2003-09-17
- 5 Electronic device, array device, photoelectric display and semiconductor memory with thin-film transistors**
Publication info: CN1155101C C - 2004-06-23
CN1254957 A - 2000-05-31
- 6 Electronic device, matrix device, photoelectric displaying device and semiconductor memory with film transistor**
Publication info: CN1160791C C - 2004-08-04
CN1255697 A - 2000-06-07
- 7 Active matrix display device**
Publication info: CN1183599C C - 2005-01-05
CN1305227 A - 2001-07-25
- 8 Electronic device, array device, photoelectric display and semiconductor memory with thin-film transistors**
Publication info: CN1230911C C - 2005-12-07
CN1254958 A - 2000-05-31
- 9 Semiconductor display device and electronic device with the semiconductor display device**
Publication info: CN1479137 A - 2004-03-03
- 10 Semiconductor device and method for forming the same**
Publication info: CN1603924 A - 2005-04-06
- 11 Active matrix liquid crystal display**
Publication info: CN1670599 A - 2005-09-21
- 12 Gate structure of field effect device and method for forming the same.**
Publication info: DE69224310D D1 - 1998-03-12
- 13 Gate structure of field effect device and method for forming the same.**
Publication info: DE69224310T T2 - 1998-09-24
- 14 Electro-optical device.**
Publication info: EP0499979 A2 - 1992-08-26
EP0499979 A3 - 1993-06-09
- 15 Gate structure of field effect device and method for forming the same.**
Publication info: EP0502749 A2 - 1992-09-09
EP0502749 A3 - 1993-05-19
EP0502749 B1 - 1998-02-04
- 16 No English title available**
Publication info: JP2540688B2 B2 - 1996-10-09
JP5283694 A - 1993-10-29
- 17 No English title available**
Publication info: JP2585158B2 B2 - 1997-02-26
JP5267667 A - 1993-10-15
- 18 ELECTRO-OPTICAL DEVICE**
Publication info: JP2676092B2 B2 - 1997-11-12
JP6123878 A - 1994-05-06
- 19 INSULATING GATE TYPE FIELD EFFECT SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**
Publication info: JP2717233B2 B2 - 1998-02-18
JP6244200 A - 1994-09-02
- 20 INSULATED GATE FIELD EFFECT SEMICONDUCTOR DEVICE AND FABRICATION THEREOF**
Publication info: JP2717234B2 B2 - 1998-02-18
JP6053509 A - 1994-02-25

Data supplied from the **esp@cenet** database - Worldwide

Family list

152 family members for:

JP5283694

Derived from 114 applications.

[Back to JP5283694](#)

- 21 ELECTRO-OPTICAL DEVICE**
Publication info: JP2740886B2 B2 - 1998-04-15
JP6059276 A - 1994-03-04
- 22 INSULATED GATE TYPE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**
Publication info: JP2794678B2 B2 - 1998-09-10
JP5114724 A - 1993-05-07
- 23 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**
Publication info: JP2845303B2 B2 - 1999-01-13
JP6291315 A - 1994-10-18
- 24 No English title available**
Publication info: JP2868168B2 B2 - 1999-03-10
JP5343430 A - 1993-12-24
- 25 SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF**
Publication info: JP2877586B2 B2 - 1999-03-31
JP5090292 A - 1993-04-09
- 26 SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF**
Publication info: JP2877587B2 B2 - 1999-03-31
JP5090289 A - 1993-04-09
- 27 SEMICONDUCTOR DEVICE AND ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE**
Publication info: JP3000213B2 B2 - 2000-01-17
JP10335673 A - 1998-12-18
- 28 LIQUID CRYSTAL DISPLAY DEVICE**
Publication info: JP3054219B2 B2 - 2000-06-19
JP6202080 A - 1994-07-22
- 29 INSULATED-GATE SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**
Publication info: JP3071939B2 B2 - 2000-07-31
JP6163896 A - 1994-06-10
- 30 No English title available**
Publication info: JP3071940B2 B2 - 2000-07-31
JP5291575 A - 1993-11-05
- 31 SEMICONDUCTOR DEVICE AND ITS FORMING METHOD**
Publication info: JP3109051B2 B2 - 2000-11-13
JP11163369 A - 1999-06-18
- 32 SEMICONDUCTOR DEVICE AND FABRICATION THEREOF**
Publication info: JP3291069B2 B2 - 2002-06-10
JP6021465 A - 1994-01-28
- 33 SEMICONDUCTOR DEVICE**
Publication info: JP3320035B2 B2 - 2002-09-03
JP2000068521 A - 2000-03-03
- 34 INSULATED GATE TYPE SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD**
Publication info: JP3556241B2 B2 - 2004-08-18
JP6013610 A - 1994-01-21
- 35 No English title available**
Publication info: JP3556679B2 B2 - 2004-08-18
JP5335572 A - 1993-12-17
- 36 ELECTROOPTICAL DEVICE**
Publication info: JP3645465B2 B2 - 2005-05-11
JP2000180901 A - 2000-06-30
- 37 COMPUTER AND VIEWFINDER**
Publication info: JP3672785B2 B2 - 2005-07-20
JP2000199888 A - 2000-07-18
- 38 DISPLAY DEVICE**
Publication info: JP5072564 A - 1993-03-26
- 39 No English title available**
Publication info: JP5235357 A - 1993-09-10
JP8028522B B - 1996-03-21
- 40 No English title available**
Publication info: JP5267666 A - 1993-10-15

Data supplied from the **esp@cenet** database - Worldwide

Family list

152 family members for:

JP5283694

Derived from 114 applications.

[Back to JP5283694](#)

- 41 MANUFACTURE OF SEMICONDUCTOR DEVICE**
Publication info: **JP6061491 A** - 1994-03-04
- 42 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**
Publication info: **JP6224432 A** - 1994-08-12
- 43 LIQUID CRYSTAL DISPLAY DEVICE**
Publication info: **JP6258618 A** - 1994-09-16
- 44 DISPLAY DEVICE**
Publication info: **JP6265847 A** - 1994-09-22
- 45 METHOD OF FORMING THIN FILM TRANSISTOR**
Publication info: **JP6275646 A** - 1994-09-30
- 46 METHOD OF FORMING THIN FILM TRANSISTOR**
Publication info: **JP6275647 A** - 1994-09-30
- 47 METHOD OF FORMING THIN FILM TRANSISTOR**
Publication info: **JP6275648 A** - 1994-09-30
- 48 THIN FILM INSULATED GATE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**
Publication info: **JP6291316 A** - 1994-10-18
- 49 INSULATION GATE TYPE SEMICONDUCTOR DEVICE**
Publication info: **JP2001028447 A** - 2001-01-30
- 50 DISPLAY DEVICE**
Publication info: **JP2001166339 A** - 2001-06-22
- 51 INSULATED GATE-TYPE SEMICONDUCTOR DEVICE**
Publication info: **JP2004320053 A** - 2004-11-11
- 52 INSULATED-GATE SEMICONDUCTOR DEVICE**
Publication info: **KR123795 B1** - 1997-11-25
- 53 THIN FILM INSULATED GATE SEMICONDUCTOR DEVICE AND MANUFACTURING THEREOF**
Publication info: **KR128724 B1** - 1998-04-07
- 54 A METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE**
Publication info: **KR139321 B1** - 1998-07-15
- 55 AN INSULATDE GATE THIN FILM TRANSISTOR**
Publication info: **KR139322 B1** - 1998-07-15
- 56 METHOD OF FORMING THIN FILM TRANSISTOR**
Publication info: **KR161993 B1** - 1998-12-01
- 57 SEMICONDUCTOR DEVICE**
Publication info: **KR208540 B1** - 1999-07-15
- 58 INSULATED GATE TYPE FET AND ITS MAKING METHOD**
Publication info: **KR9601611 B1** - 1996-02-02
- 59 DISPLAY DEVICE**
Publication info: **KR9604150 B1** - 1996-03-27
- 60 ELECTRO-OPTICAL DEVICE AND ITS OPERATING METHOD**
Publication info: **KR9604151 B1** - 1996-03-27

Data supplied from the **esp@cenet** database - Worldwide

Family list

152 family members for:

JP5283694

Derived from 114 applications.

[Back to JP5283694](#)

- 61 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF**
Publication info: KR9608133 B1 - 1996-06-20
- 62 SEMICONDUCTOR DEVICE**
Publication info: KR9611183 B1 - 1996-08-21
- 63 MOS FIELD EFFECT SEMICONDUCTOR DEVICE**
Publication info: KR9611184 B1 - 1996-08-21
- 64 ELECTRIC OPTICAL DEVICE**
Publication info: KR9611185 B1 - 1996-08-21
- 65 SEMICONDUCTOR DEVICE AND METHOD FOR FORMING THE SAME**
Publication info: KR9702004 B1 - 1997-02-20
- 66 SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE FABRICATION PROCESS**
Publication info: KR9702267 B1 - 1997-02-27
- 67 METHOD OF MAKING INSULATING GATE SEMICONDUCTOR DEVICE**
Publication info: KR9703917 B1 - 1997-03-22
- 68 Semiconductor device**
Publication info: TW476451Y Y - 2002-02-11
- 69 Semiconductor device**
Publication info: TW540828Y Y - 2003-07-01
- 70 Insulated gate field effect semiconductor devices having a LDD region and an anodic oxide film of a gate electrode**
Publication info: USRE36314E E - 1999-09-28
- 71 ELECTRO-OPTICAL DEVICE HAVING A RATIO CONTROLLING MEANS FOR PROVIDING GRADATED DISPLAY LEVELS**
Publication info: US5200846 A - 1993-04-06
- 72 Electro-optical device**
Publication info: US5218464 A - 1993-06-08
- 73 Semiconductor device with oxide layer**
Publication info: US5289030 A - 1994-02-22
- 74 Insulated gate field effect semiconductor devices having a LDD region and an anodic oxide film of a gate electrode**
Publication info: US5308998 A - 1994-05-03
- 75 Semiconductor device and method for forming the same**
Publication info: US5468987 A - 1995-11-21
- 76 Method for forming semiconductor device comprising metal oxide**
Publication info: US5474945 A - 1995-12-12
- 77 Semiconductor device and method for forming the same**
Publication info: US5485019 A - 1996-01-16
- 78 Semiconductor device**
Publication info: US5495121 A - 1996-02-27
- 79 Method for forming a field-effect transistor including anodic oxidation of the gate**
Publication info: US5521107 A - 1996-05-28
- 80 Method of making TFT with anodic oxidation process using positive and negative voltages**
Publication info: US5545571 A - 1996-08-13

Data supplied from the **esp@cenet** database - Worldwide

Family list
152 family members for:

JP5283694

Derived from 114 applications.

[Back to JP5283694](#)

- 81 Method for forming thin film transistor**
Publication info: **US5650338 A** - 1997-07-22
- 82 Semiconductor device and method of forming the same**
Publication info: **US5716871 A** - 1998-02-10
- 83 Electric device, matrix device, electro-optical display device, and semiconductor memory having thin-film transistors**
Publication info: **US5821559 A** - 1998-10-13
- 84 Method for forming a taper shaped contact hole by oxidizing a wiring**
Publication info: **US5849611 A** - 1998-12-15
- 85 Electric device, matrix device, electro-optical display device, and semiconductor memory having thin-film transistors**
Publication info: **US5854494 A** - 1998-12-29
- 86 Semiconductor device and method for forming the same**
Publication info: **US5879969 A** - 1999-03-09
- 87 Semiconductor device having reduced leakage current**
Publication info: **US5894151 A** - 1999-04-13
- 88 Method for forming a semiconductor device using anodic oxidation**
Publication info: **US5899709 A** - 1999-05-04
- 89 Method of manufacturing an insulated gate field effect semiconductor device having an offset region and/or lightly doped region**
Publication info: **US5913112 A** - 1999-06-15
- 90 Insulated gate field effect transistor having specific dielectric structures**
Publication info: **US5917225 A** - 1999-06-29
- 91 Insulated gate field effect semiconductor devices**
Publication info: **US5962870 A** - 1999-10-05
- 92 Semiconductor device having interlayer insulating film and method for forming the same**
Publication info: **US6013928 A** - 2000-01-11
- 93 Electric device, matrix device, electro-optical display device, and semiconductor memory having thin-film transistors**
Publication info: **US6028333 A** - 2000-02-22
- 94 Active matrix display device**
Publication info: **US6147375 A** - 2000-11-14
- 95 Semiconductor device**
Publication info: **US6323528 B1** - 2001-11-27
- 96 Electric device, matrix device, electro-optical display device, and semiconductor memory having thin-film transistors**
Publication info: **US6326642 B1** - 2001-12-04
- 97 Active matrix display device having at least two transistors having LDD region in one pixel**
Publication info: **US6331723 B1** - 2001-12-18
- 98 Active matrix display device including a transistor**
Publication info: **US6476447 B1** - 2002-11-05
- 99 Semiconductor device having interlayer insulating film**
Publication info: **US6566711 B1** - 2003-05-20
- 100 Semiconductor device and method for forming the same**
Publication info: **US6624450 B1** - 2003-09-23

Data supplied from the esp@cenet database - Worldwide

Family list

152 family members for:

JP5283694

Derived from 114 applications.

[Back to JP5283694](#)

- 101 Method of fabricating a thin film transistor**
Publication info: **US6709907 B1** - 2004-03-23
- 102 Insulated gate field effect semiconductor devices and method of manufacturing the same**
Publication info: **US6803600 B2** - 2004-10-12
US2002024047 A1 - 2002-02-28
- 103 Semiconductor device and method for forming the same**
Publication info: **US6822261 B2** - 2004-11-23
US2002017687 A1 - 2002-02-14
- 104 Electric device, matrix device, electro-optical display device and semiconductor memory having thin-film transistors**
Publication info: **US6953713 B2** - 2005-10-11
US2002000554 A1 - 2002-01-03
- 105 Semiconductor device and method for forming the same**
Publication info: **US6977392 B2** - 2005-12-20
US2003173570 A1 - 2003-09-18
- 106 ELECTRO-OPTICAL DEVICE**
Publication info: **US2001017683 A1** - 2001-08-30
- 107 Electro-optical device**
Publication info: **US2002033906 A1** - 2002-03-21
- 108 Semiconductor device and method of forming the same**
Publication info: **US2004175873 A1** - 2004-09-09
- 109 Electro-optical device**
Publication info: **US2004207777 A1** - 2004-10-21
- 110 Electro-optical device**
Publication info: **US2005001965 A1** - 2005-01-06
- 111 Electro-optical device**
Publication info: **US2005007329 A1** - 2005-01-13
- 112 Insulated gate field effect semiconductor devices and method of manufacturing the same**
Publication info: **US2005098782 A1** - 2005-05-12
- 113 Electric device, matrix device, electro-optical display device, and semiconductor memory having thin-film transistors**
Publication info: **US2005214990 A1** - 2005-09-29
- 114 Semiconductor device and method for forming the same**
Publication info: **US2006060860 A1** - 2006-03-23

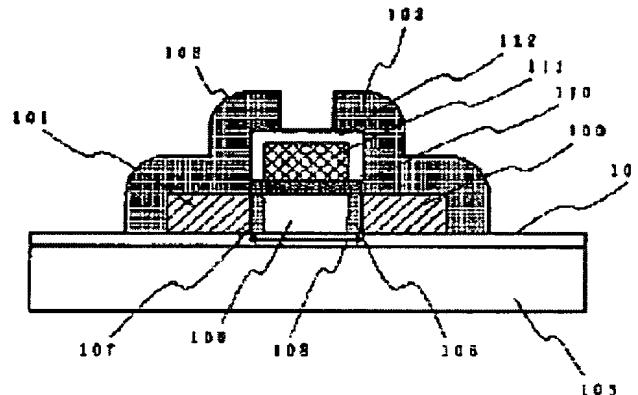
Data supplied from the **esp@cenet** database - Worldwide

JP5283694

Patent number: JP5283694
Publication date: 1993-10-29
Inventor:
Applicant:
Classification:
 - international: G02F1/136; H01L21/336; H01L29/786; G02F1/13; H01L21/02;
 H01L29/66; (IPC1-7): H01L29/784; G02F1/136; H01L21/336
 - european:
Application number: JP19920054322 19920205
Priority number(s): JP19910237100 19910823; JP19910238713 19910826

Report a data error here**Abstract of JP5283694**

PURPOSE: To reduce a leakage current in the case reverse biased, by forming a channel length longer than a length of the channel length direction of a gate electrode in an insulated-gate type field-effect transistor having at least semiconductor layer, insulating film layer and conductor layer on an insulating substrate. CONSTITUTION: A source region 100, a drain region 101 and a channel region 109 which act as a semiconductor layer are installed on an insulating substrate 105 through a blocking layer 104. A gate insulating film 110 and a gate electrode 111 in which an oxide layer 112 formed by anodizing a material capable of anodization is installed are formed on their regions. Then, a source electrode 102 and a drain electrode 103 are disposed while being brought into contact with the source region 100 and the drain region 101 respectively. By installing the anodized oxide layer 112 in this manner, the distance between both regions 100 and 101 for an ion implantation (that is, channel length 108) is formed longer than a length of the channel length direction of the substantial gate electrode 111 by about twice the thickness of the oxide layer 112, and a leakage current when reverse biased is reduced.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-283694

(43)公開日 平成5年(1993)10月29日

(51) Int.Cl.⁵
H01L 29/784
G02F 1/136
H01L 21/336

識別記号
500 9018-2K
9056-4M
9056-4M

F I
H01L 29/78
311 H
311 P

審査請求 有 請求項の数 8 (全14頁)

(21)出願番号 特願平4-54322

(22)出願日 平成4年(1992)2月5日

(31)優先権主張番号 特願平3-237100

(32)優先日 平3(1991)8月23日

(33)優先権主張国 日本 (JP)

(31)優先権主張番号 特願平3-238713

(32)優先日 平3(1991)8月26日

(33)優先権主張国 日本 (JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 間瀬 晃
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 ▲ひろ▼木 正明
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

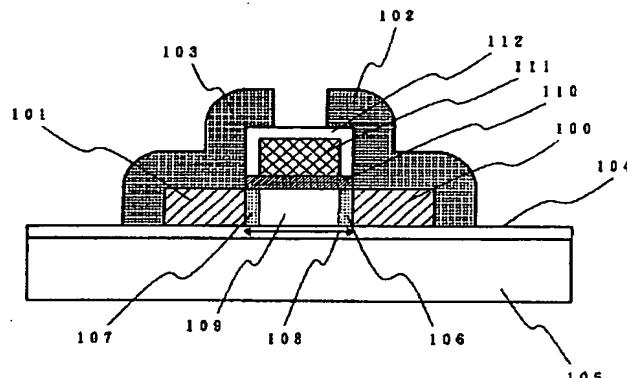
最終頁に続く

(54)【発明の名称】半導体装置とその作製方法

(57)【要約】

【目的】 アクティブマトリクス型電気光学装置に用いる薄膜絶縁ゲート型電解効果トランジスタにおいて、逆バイアス時のリーク電流を減少せしめ、ゲート電極とソース／ドレイン間の寄生容量の小さい半導体装置とその作製方法を提供する。

【構成】 絶縁ゲート型電解効果トランジスタにおいて、ゲート電極の表面を陽極酸化せしめ、よって実質的なチャネル長をゲート電極のチャネル長方向の長さよりも長くすることにより、チャネル領域の両側部にゲート電極による電界の全くかからないあるいはゲート電極垂直下に比較して非常に弱いオフセット領域、あるいは非結晶性の不純物半導体領域を形成することを特徴とする。



【特許請求の範囲】

【請求項1】絶縁基板上に少なくとも半導体層、絶縁膜層および導体層を有する絶縁ゲート型電界効果トランジスタにおいて、チャネル長がゲート電極のチャネル長方向の長さよりも長いことを特徴とする半導体装置。

【請求項2】請求項1において、チャネル長はゲート電極のチャネル長方向の長さよりもゲート電極表面に形成された酸化物層の厚みの概略2倍程度長いことを特徴とする半導体装置。

【請求項3】絶縁基板上に少なくとも半導体層、絶縁膜層および導体層を有する絶縁ゲート型電界効果トランジスタの作製方法において、半導体層およびゲート絶縁膜層を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、前記半導体層にp型化またはn型化せしめる不純物イオンを注入してソースまたはドレイン領域を形成した後に、前記ゲート電極部表面を陽極酸化し、その後に熱処理工程を有することを特徴とする半導体装置の作製方法。

【請求項4】金属のゲート電極と、該ゲート電極を包んで形成された陽極酸化物層と、薄膜状のチャネル領域と、該チャネル領域を挟んで形成された一对の第1の不純物領域と、各第1の不純物領域に隣接した第2の不純物領域とを有することを特徴とする薄膜状の絶縁ゲート型半導体装置。

【請求項5】請求項4において、第1の不純物領域は非晶質状態であることを特徴とする絶縁ゲート型半導体装置。

【請求項6】請求項1において、該半導体装置絶縁基板上に形成され、そのソースもしくはドレインのどちらか一方はキャパシター素子に接続されていることを特徴とする半導体装置。

【請求項7】請求項6において、該半導体装置は液晶表示装置の画素の駆動に用いられることを特徴とする半導体装置。

【請求項8】請求項4において、該半導体装置は絶縁基板上に形成され、そのソースもしくはドレインのどちらか一方はキャパシター素子に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス型電気光学装置、特にアクティブマトリクス型液晶電気光学装置等に利用でき、明解なスイッチング特性を有する電界効果型トランジスタの構造およびその作製方法を示すものである。

【0002】

【従来の技術】従来のアクティブマトリクス型液晶電気光学装置に用いる薄膜絶縁ゲート型電界効果トランジスタは、図2に示すような構造を有している。絶縁基板209上にプロッキング層208を有し、ソース204、

ドレイン205、およびチャネル領域203を有する半導体層上にゲート絶縁膜202とゲート電極201を有する。その上に層間絶縁膜211およびソース電極206、ドレイン電極207を有する。

【0003】この従来の絶縁ゲート型電界効果トランジスタの作製手順は、ガラス基板209上にプロッキング層をSiO₂をターゲットとしてスパッタ法で成膜したのちに、プラズマCVD法を用いて半導体層を作製し、それをパターンニングすることでソース、ドレイン、チャネル領域となる半導体層を形成の後に、スパッタ法を用いて酸化珪素からなるゲート絶縁膜202を成膜し、その後減圧CVD法を用いてP(リン)を高濃度ドープしたゲート電極用導電層を成膜の後にパターンニングをしてゲート電極201を作製する。その後、ゲート電極をマスクとした不純物イオンの注入を行い、ソース205およびドレイン204を作製し、その後熱処理を行って活性化を行う、というものであった。

【0004】この様に作製した絶縁ゲート型電界効果トランジスタは、ゲート電極201のチャネル長方向の長さとチャネル長210はほぼ等しい。

【0005】

【発明が解決しようとする課題】この様な構造を有する絶縁ゲート型電界効果トランジスタの電流電圧特性はnチャネルの場合図3に示す様に、逆バイアス領域250において、ソースドレイン間の印加電圧が増加するにつれて、リーク電流が増加するという欠点を有していた。

【0006】この様なリーク電流が増した場合、この素子をアクティブマトリクス型液晶電気光学装置に用いた時には、図5(A)に示した様に、書き込み電流300を通じて液晶302に蓄電された電荷は、非書き込み期間中に素子のリーク部分を通してリーク電流301が放電されてしまい、良好なコントラストを得ることができなかった。

【0007】そのために、このような場合従来例として図5(B)に示した様に、電荷保持のためのコンデンサー303を設置することが必要になっていた。しかしながら、これらコンデンサーを形成するためには、金属配線による容量用の電極を必要とするために、開口率を低下させる要因となっていた。またこれをITOなどの透明電極にて形成し開口率を向上させる例も報告されているが、余分なプロセスを必要するために、歓迎されるものではなかった。

【0008】また、このような絶縁ゲート型電界効果トランジスタのソースあるいはドレインの一方のみをキャパシター素子(コンデンサー)に接続して、該トランジスタをスイッチング素子として用いる場合、例えば公知の1トランジスタ/セル型のダイナミック・ランダム・アクセス・メモリー(DRAM)装置や図5に示すような回路を各画素に有するアクティブ型液晶表示装置においては、ゲート電極とドレイン(あるいはソース)と

の寄生容量の存在によって、キャパシター素子の電圧が変動してしまうことが知られていた。

【0009】この電圧の変動 ΔV は、ゲイト電圧 V_g および寄生容量に比例し、キャパシター素子の容量と寄生容量の和に反比例するため、電圧の変動を抑える為には一般には、セルフアライン方式によってトランジスタを作製して、寄生容量を減らすことがなされていた。しかしながら、デバイスのデザインルールの縮小に伴って、いかにセルフアライン方式によって作製しても、寄生容量の比率が無視できないほど大きなものとなるようになつた。

【0010】このため、 ΔV を減らす目的で、図5(B)に示すように、本来のキャパシター素子以外に、並列にキャパシターを接続して、見掛け上、キャパシター素子の容量を大きくすることが提案されているが、DRAMにおいてはキャパシター面積の増大、液晶表示装置においては上述のとおり開口率の低下等の問題を無視することが出来ない。本発明は以上の様な問題を解決するものである。

【0011】

【問題を解決するための手段】この問題の一つの解決方法として、本発明者らは絶縁ゲイト型電界効果トランジスタにおいて、チャネル長（ソース領域とドレイン領域の間の距離）をゲイト電極のチャネル長方向の長さよりも長くすることにより、チャネル領域のうちのソース領域またはドレイン領域に接する部分にゲイト電極による電界のかからないまたは非常に弱いオフセット領域を形成することで、図4に示すような電流電圧特性をとることを知見した。

【0012】本発明の基本的な構成を図1に示す。絶縁基板105上にプロッキング層104があり、その上に半導体層としてソース領域100、ドレイン領域101、およびチャネル領域109を設ける。チャネル領域109上にはゲイト絶縁膜110とその上に陽極酸化可能な材料を陽極酸化して絶縁層である酸化物層112を形成したゲイト電極111が形成されている。ソース領域、ドレイン領域にそれぞれ接してソース電極102、ドレイン電極103を設ける。図1では、層間絶縁物は特に設けられていない様子が描かれているが、ゲイト電極・配線とソース／ドレイン電極・配線との寄生容量が問題となる場合には、従来どおり層間絶縁物を設けてよく、その実施例は以下に実施例1～3で記述される。

【0013】図1に示す様に、ゲイト電極111と酸化物層112となるゲイト電極部に陽極酸化が可能な材料を選び、その表面部分を陽極酸化して酸化物層112を形成することで、イオン打ち込みの領域であるソース領域100とドレイン領域101の間の距離すなわちチャネル長108は、実質的なゲイト電極111のチャネル長方向の長さよりも酸化物層112の厚みの概略2倍程度長くなる。ゲイト電極部の材料としては、主としてチ

タン(Ti)、アルミニウム(A1)、タンタル(Ta)、クロム(Cr)、シリコン(Si)単体、あるいはそれらの合金が適している。

【0014】その結果、ゲイト電極両側面に形成されたる酸化物層112にゲイト絶縁膜110を介して向かい合うチャネル領域109中の部分106および107には、ゲイト電極による電界が全くかからないあるいはゲイト電極の垂直下の部分と比較して非常に弱くなる。このような領域106、107を以下では、特にチャネル領域と同じ程度の結晶性、不純物濃度を有している場合に、オフセット領域という。

【0015】また、この領域106、107は不純物のドープされた非結晶質状態の材料であってもよい。厳密に議論すれば、領域106、107はそれに隣接するソース領域100やドレイン領域101に比べて結晶性が悪いものであればよい。例えば、領域100、101が大きな結晶粒の多結晶シリコンでできているのであれば、領域106、107はアモルファスシリコンやアモルファスシリコンよりも若干結晶性がよい、いわゆるセミアモルファスシリコンであればよい。領域100、101がセミアモルファスシリコンであれば、領域106、107はアモルファスシリコンであればよい。もちろん、このような非結晶状態の材料には、半導体電気特性を示すに十分な措置を施す必要があり、例えばダングリングボンドができるだけ少なくなるように、これらのダングリングボンドを水素やハロゲンで十分にターミネイトする必要がある。

【0016】このような非結晶領域を設けることによって図9(a)に示すように、良好なTFT特性を示すことができた。図9(b)は、従来の絶縁ゲイト型トランジスタ構造を有する薄膜トランジスタ(TFT)であり、図から明らかのように、従来の方法であれば著しい逆方向のリーク電流が観測されたが、本発明のように、実質的に非結晶状態である領域を設けることによって、特性は改善された。すなわち、非結晶状態の不純物領域を設けることは、先に述べたオフセット領域を設けることと同じ効果をもたらした。

【0017】このように非結晶領域を設けることによって特性が向上する原因についてはまだ良く判っていない。1つには、非結晶領域では、結晶領域に比べて、添加された不純物元素のイオン化率が低く、そのため同じだけの不純物が添加された場合であっても、より低い不純物濃度を有しているかのように振る舞うため、いわゆる低濃度ドレイン(Lightly-Doped-Drain: LDD)と実質的に同じ領域が形成された為と考えられる。例えば、シリコンでは、アモルファス状態では、イオン化率は室温で0.1～10%というように、単結晶あるいは多結晶半導体の場合(ほぼ100%)に比べて著しく小さい。

【0018】あるいは、非結晶状態ではバンドギャップ

が結晶状態に比して大きいので、それが原因とも考えられる。例えば図9 (e)、(f) のようなエネルギー・バンド図から説明が可能である。通常のLDD構造のトランジスタでは、ソース/チャネル/ドレインのエネルギー・バンド図は、図9 (c)、(d) のようになっている。中央の盛り上がったところが、チャネル領域である。また、階段状の部分はLDD領域である。ゲート電極に電圧が印加されていない場合には図9 (c) で示されるが、ゲート電極に負の大きな電圧が印加されると、図9 (d) で示されるようになる。このとき、ソースとチャネル領域、およびチャネル領域とドレインの間には禁制帯があって、電子やホール等のキャリヤは移動できないのであるが、トンネル効果やバンドギャップ中のトラップ準位をホッピングしてキャリヤがギャップを飛び越える。LDD構造でない通常のTFTであれば、ギャップの幅はより小さいため、より電流は流れやすい。これが逆方向リークであると考えられている。この減少はTFTでは特に顕著である。それは、TFTが多結晶等の不均質な材料であるため、粒界等に起因するトラップ準位が多いいためと推定される。

【0019】一方、LDD領域のバンドギャップを大きくするとこのような逆方向リークは低減する。LDDのバンドギャップが大きい例は図9の(e)および(f)に示される。図9 (e) はゲートに電圧の印加されていない状態、(f) はゲートに負の大きな電圧の印加された状態を示す。(f) から明らかのように(d) と比べて負の電圧が印加されたときのソースとチャネル領域、あるいはチャネル領域とドレイン間のギャップの幅が大きい。トンネル効果はトンネル障壁の幅（この場合はギャップの幅）によって著しく影響を受け、ギャップの幅の僅かの増加で著しくその確率は低下する。また、局在準位を経由したホッピングも複合的なトンネル効果であるのでギャップの幅が大きくなると飛躍的にその確率は小さくなる。以上のような理由で、バンドギャップの大きなLDD領域を形成することは意味のあることであると考えられる。そして、多結晶シリコンのバンドギャップが 1.1 eV であるのに対し、アモルファスシリコンのバンドギャップは $1.5 \sim 1.8\text{ eV}$ であり、このような広いバンドギャップを有する材料をLDDに用いることは極めて理想的である。

【0020】本発明によって、特に上述のオフセット領域を有する半導体装置を作製するには、ソース、ドレン、チャネル領域となる半導体層およびゲート絶縁膜層110を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、前記半導体層にp型化またはn型化せしめる不純物イオンを注入してソース領域100およびドレン領域101を形成し、その後ゲート電極部表面部分を陽極酸化してゲート電極111と酸化物層112を形成し、熱処理工程等を施せばよい。

【0021】または、前記半導体層およびゲート絶縁膜

層110を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、ゲート電極部表面部分を陽極酸化してゲート電極111と酸化物層112を形成して、その後前記半導体層にp型化またはn型化せしめる不純物イオンを注入してソース領域100およびドレン領域101を形成してから熱処理工程を施す工程でも良い。

【0022】以上のような工程をとることで、チャネル長がゲート電極のチャネル長方向の長さより長い絶縁ゲ

10 イト型電界効果トランジスタを、マスクずれ等による性能のばらつきなどを発生することなく容易かつ確実に作製することが可能となる。

【0023】あるいは、非結晶状態の領域を有する本発明の半導体装置を作製するには、ソース、ドレン、チャネル領域となる半導体層およびゲート絶縁膜層110を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、前記半導体層にp型化またはn型化せしめる不純物イオンを注入して、該半導体層を非結晶化せしめ、ソース領域100およびドレン領域101、そ

20 して、それに隣接する非結晶領域106、107を形成し、その後ゲート電極部表面部分を陽極酸化してゲート電極111と酸化物層112を形成する。このとき、ゲート電極の表面は酸化によって後退する。その後、例えばレーザー・アニール法やフラッシュランプ・アニール法によって、ゲート電極部をマスクとしてセルフアライン的にソース領域100とドレン領域101のみを再結晶化させてもよい。ここで、セルフアライン的にというのは、ゲート電極部が影となる為、その下に存在する不純物領域が再結晶化できないからである。

30 【0024】例えば、イオン打ち込み法を使用する場合には、イオンの2次散乱による不純物領域の広がりは、イオンの加速エネルギー等によって計算でき、さらに、ゲート電極の後退は、酸化物層の厚さによって決定されるので、これも設計事項として盛り込まれる。したがって、本発明では、精密な設計によって、ゲート電極と不純物領域の位置関係を最適な状態にすることができる。すなわち、酸化物層の厚さは 10 nm 以下の精度で制御でき、さらに、イオン打ち込みの際の2次散乱についても同程度で制御できるため、この位置関係は 10 nm 以下の精度で作製することができる。

【0025】以上のように、本発明では精密なマスク合わせが、新たに要求されるということではなく、本発明によって歩留りが低下することは少ない。それにもまして、本発明によって得られるトランジスタの特性の向上は大きなものである。以下に実施例を示す。

【実施例】

【0026】【実施例1】本実施例では、対角1インチを有する液晶電気光学装置を用いた、ビデオカメラ用ピューファインダーを作製し、本発明を実施したので説明を加える。

【0027】本実施例では画素数が 387×128 の構成にして、本発明の構成を有した低温プロセスによる高移動度TFT（薄膜トランジスタ）を用いた素子を形成し、ピューファインダーを構成した。本実施例で使用する液晶表示装置の基板上のアクティブ素子の配置の様子を図7に示し、図6に本実施例の回路図を示す。図7のA-A'断面およびB-B'断面を示す作製プロセスを図8に描く。A-A'断面はNTFTを示し、B-B'断面はPTFTを示す。

【0028】図8(A)において、安価な、700°C以下、例えば約600°Cの熱処理に耐え得るガラス基板400上にマグネットロンRF(高周波)スパッタ法を用いてプロッキング層401としての酸化珪素膜を1000~3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度150°C、出力400~800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30~100Å/分であった。

【0029】この上にシリコン膜をLPCVD(減圧気相)法、スパッタ法またはプラズマCVD法により形成した。減圧気相法で形成する場合、結晶化温度よりも100~200°C低い450~550°C、例えば530°Cでジシラン(Si₂H₆)またはトリシラン(Si₃H₈)をCVD装置に供給して成膜した。反応炉内圧力は30~300Paとした。成膜速度は50~250Å/分であった。PTFTとNTFTとのスレッシュホールド電圧(Vth)に概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{-5} \sim 1 \times 10^{-6}$ cm⁻³の濃度として成膜中に添加してもよい。

【0030】スパッタ法で行う場合、スパッタ前の背圧を 1×10^{-5} Pa以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20~80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150°C、周波数は13.56MHz、スパッタ出力は400~800W、圧力は0.5Paであった。

【0031】プラズマCVD法により珪素膜を作製する場合、温度は例えば300°Cとし、モノシラン(SiH₄)またはジシラン(Si₂H₆)を用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

【0032】これらの方法によって形成された被膜は、酸素が 5×10^{-1} cm⁻³以下であることが好ましい。この酸素濃度が高いと、結晶化させにくく、熱アニール温度を高くまたは熱アニール時間を長くしなければならない。また少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまう。そのため $4 \times 10^{-3} \sim 4 \times 10^{-1}$ cm⁻³の範囲とした。水素は 4×10^{-6} cm⁻³であり、珪素 4×10^{-2} cm⁻³として比較すると1原子%であった。

【0033】上記方法によって、アモルファス状態の珪

素膜を500~5000Å、例えば1500Åの厚さに作製の後、450~700°Cの温度にて12~70時間非酸化物雰囲気にて中温の加熱処理、例えば水素雰囲気下にて600°Cの温度で保持した。珪素膜の下の基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

【0034】アニールにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特にシリコンの成膜後の状態で比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっぱりあう。レーザーラマン分光により測定すると単結晶の珪素のピーク522cm⁻¹より低周波側にシフトしたピークが観察される。それの見掛け上の粒径は半値巾から計算すると、50~500Åとマイクロクリスタルのようになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、各クラスタ間は互いに珪素同志で結合(アンカリング)がされたセミアモルファス構造の被膜を形成させることができた。

【0035】結果として、被膜は実質的にグレインバウンダリ(以下GBという)がないといつてもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度(μ_h) = 10~200cm²/Vsec、電子移動度(μ_e) = 15~300cm²/Vsecが得られる。

【0036】他方、上記の如き中温でのアニールではなく、900~1200°Cの高温アニールにより被膜を多結晶化してもよい、しかしその場合は核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きいが、GBでのバリア(障壁)を作つてそこでキャリアの移動を阻害してしまう。結果として10cm²/Vsec以上の移動度がなかなか得られないのが実情である。そのために酸素、炭素、窒素等の不純物濃度をセミアモルファスのものよりも数分の1から数十分の1にする必要がある。その様にした場合、50~100cm²/Vsecが得られた。

【0037】このようにして形成した珪素膜にフォトエッチングを施し、NTFT用の半導体層402(チャネル巾20μm)、PTFT用の半導体層404を作製した。

【0038】この上にゲート絶縁膜となる酸化珪素膜403を500~2000Å、例えば1000Åの厚さに形成した。これはプロッキング層としての酸化珪素膜の作製と同一条件とした。これを成膜中に弗素を少量添加

し、ナトリウムイオンの固定化をさせてもよい。

【0039】この後、この上側にアルミニウム膜を形成した。これをフォトマスクにてパターニングして図8 (B)を得た。NTFT用のゲート絶縁膜405、ゲート電極部406を形成し、両者のチャネル長方向の長さは $10\mu\text{m}$ すなわちチャネル長を $10\mu\text{m}$ とした。同様に、PTFT用のゲート絶縁膜407、ゲート電極部408を形成し、両者のチャネル長方向の長さは $7\mu\text{m}$ すなわちチャネル長を $7\mu\text{m}$ とした。また双方のゲート電極部406、408の厚さは共に $0.8\mu\text{m}$ とした。図8 (C)において、PTFT用のソース409、ドレイン410に対し、ホウ素(B)を $1 \sim 5 \times 10^{15}\text{cm}^{-2}$ のドーズ量でイオン注入法により添加した。次に図8 (D)の如く、フォトレジスト411をフォトマスクを用いて形成した。NTFT用のソース412、ドレイン413としてリン(P)を $1 \sim 5 \times 10^{15}\text{cm}^{-2}$ のドーズ量でイオン注入法により添加した。

【0040】その後、ゲート電極部に陽極酸化を施した。L-酒石酸をエチレン glycole に5%の濃度で希釈し、アンモニアを用いてpHを 7.0 ± 0.2 に調整した。その溶液中に基板を浸し、定電流源の+側を接続し、-側には白金の電極を接続して 20mA の定電流状態で電圧を印加し、 150V に到達するまで酸化を継続した。さらに、 150V で定電圧状態で加え 0.1mA 以下になるまで酸化を継続した。このようにして、ゲート電極部406、408の表面に酸化アルミニウム層414を形成し、NTFT用のゲート電極415、PTFT用のゲート電極416を得た。酸化アルミニウム層414は $0.3\mu\text{m}$ の厚さに形成した。

【0041】次に、 600°C にて $10 \sim 50$ 時間再び加熱アニールを行った。NTFTのソース412、ドレイン413、PTFTのソース409、ドレイン410を不純物を活性化してN'、P'として作製した。またゲート絶縁膜405、407下にはチャネル形成領域417、418がセミアモルファス半導体として形成されている。

【0042】本作製方法においては、不純物のイオン注入とゲート電極周囲の陽極酸化の順序を入れ換えて良い。この様に、ゲート電極の周囲に酸化金属からなる絶縁層を形成したことで、ゲート電極の実質長さは、チャネル長さよりも絶縁膜の厚さの2倍分、この場合は $0.6\mu\text{m}$ だけ短くなることになり、電界のかからないオフセット領域を設けることで、逆バイアス時のリーク電流を減少させることができた。

【0043】本実施例では熱アニールは図8 (A)、(E)で2回行った。しかし図8 (A)のアニールは求める特性により省略し、双方を図8 (E)のアニールにより兼ね製造時間の短縮を図ってもよい。図8 (E)において、層間絶縁物419を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成

はLPCVD法、光CVD法、常圧CVD法を用いてもよい。層間絶縁物は $0.2 \sim 0.6\mu\text{m}$ たとえば $0.3\mu\text{m}$ の厚さに形成し、その後、フォトマスクを用いて電極用の窓420を形成した。さらに、図8 (F)に示す如くこれら全体にアルミニウムをスパッタ法により形成し、リード421、423、およびコンタクト422をフォトマスクを用いて作製した後、表面を平坦化用有機樹脂424例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけをフォトマスクにて行った。

【0044】2つのTFTを相補型構成とし、かつその出力端を液晶装置の一方の画素の電極を透明電極としてそれに連結するため、スパッタ法によりITO(インジュームスズ酸化膜)を形成した。それをフォトマスクによりエッチングし、電極425を構成させた。このITOは室温～ 150°C で成膜し、 $200 \sim 400^\circ\text{C}$ の酸素または大気中のアニールにより成就した。かくの如くにしてNTFT426とPTFT427と透明導電膜の電極425とを同一ガラス基板401上に作製した。得られたTFTの電気的な特性はPTFTで移動度は $20(\text{cm}^2/\text{Vs})$ 、V_{th}は $-5.9(\text{V})$ で、NTFTで移動度は $40(\text{cm}^2/\text{Vs})$ 、V_{th}は $5.0(\text{V})$ であった。

【0045】上記の様な方法に従って液晶装置用の一方の基板を作製した。この液晶表示装置の電極等の配置は図7に示している。NTFT426およびPTFT427を第1の信号線428と第2の信号線429との交差部に設けた。このようなC/TFTを用いたマトリクス構成を有せしめた。NTFT426は、ドレイン413の入力端のリード421を介し第2の信号線429に連結され、ゲート406は多層配線形成がなされた信号線428に連結されている。ソース412の出力端はコンタクト422を介して画素の電極425に連結している。

【0046】他方、PTFT427はドレイン410の入力端がリード423を介して第2の信号線429に連結され、ゲート408は信号線428に、ソース409の出力端はコンタクト422を介してNTFTと同様に画素電極425に連結している。かかる構造を左右、上下に繰り返すことにより、本実施例は構成されている。

【0047】次に第二の基板として、青板ガラス上にスパッタ法を用いて、酸化珪素膜を 2000\AA 積層した基板上に、やはりスパッタ法によりITO(インジューム・スズ酸化膜)を形成した。このITOは室温～ 150°C で成膜し、 $200 \sim 400^\circ\text{C}$ の酸素または大気中のアニールにより成就した。また、この基板上にカラーフィルターを形成して、第二の基板とした。

【0048】その後、前記第一の基板と第二の基板によって、紫外線硬化型アクリル樹脂とネマチック液晶組成物の6対4の混合物を挟持し、周囲をエポキシ接着剤にて固定した。基板上のリードはそのピッチが $4.6\mu\text{m}$ と微細なため、COG法を用いて接続をおこなった。本

実施例ではICチップ上に設けた金パンプをエポキシ系の銀パラジウム樹脂で接続し、ICチップと基板間を接着と封止を目的としたエポキシ変成アクリル樹脂にて埋めて固定する方法を用いた。その後、外側に偏光板を貼り、透過型の液晶表示装置を得た。

【0049】〔実施例2〕図10には本実施例の断面図を示す。まず、基板501としてコーニング7059ガラスを使用した。そして、下地の酸化珪素皮膜502を厚さ100nmだけ、スパッタ法によって形成した。さらに、アモルファスシリコン被膜503をプラズマCV D法によって50nmだけ形成した。その上にアモルファスシリコン膜の保護の目的で酸化珪素膜504をやはりスパッタ法によって、20nmだけ形成した。これを600°Cで72時間、窒素雰囲気中でアニールし、再結晶化させた。さらに、これをフォトリソグラフィー法と反応性イオンエッチング(RIE)法によってパターニングして、図10(A)に示すように島状の半導体領域を形成した。島状半導体領域形成後、保護用酸化珪素膜504を除去した。その除去には、バッファー-フロントエッチング(弗化水素と弗化アンモニウムが混合された溶液)を使用して、ウェットエッチングをおこなった。バッファー-フロントエッチングとしては、例えば半導体製造用高純度弗化水素酸(50wt%)と同弗化アンモニウム溶液(40wt%)とを1:10の比率で混合した溶液とした。なお、このバッファー-フロントエッチングの酸化珪素に対するエッチングレートは、70nm/分、同じく酸化アルミニウムでは60nm/分、アルミニウムでは15nm/分であった。

【0050】さらに、酸化珪素をターゲットとする酸素雰囲気中のスパッタ法によって、ゲイト酸化膜505を厚さ115nmだけ堆積した。この状態でプラズマドープ法によってゲイト酸化膜505中にリンイオンをドープした。これは、ゲイト酸化膜中に存在するナトリウム等の可動イオンをゲッタリングするためで、ナトリウムの濃度が素子の動作に障害とならない程度に低い場合にはおこなわなくてもよい。本実施例では、プラズマ加速電圧は10keVで、ドーズ量は $2 \times 10^{15} \text{ cm}^{-2}$ であった。ついで、600°Cで24時間アニールをおこなって、プラズマドープの衝撃によって生じた、酸化膜、シリコン膜のダメージを回復させた。

【0051】次に、スパッタリング法によってアルミニウム被膜を形成して、これを混酸(5%の硝酸を添加した磷酸溶液)によってパターニングし、ゲイト電極・配線506を形成した。エッチングレートは、エッチングの温度を40°Cとしてときは225nm/分であった。このようにして、TFTの外形を整えた。このときのチャネルの大きさは、長さを8μm、幅を20μmとした。

【0052】次に、イオン注入法によって、半導体領域にN型の不純物領域(ソース、ドレイン)507を形成した。ドーパントとしてはリンイオンを使用し、イオン

エネルギーは80keV、ドーズ量は $5 \times 10^{15} \text{ cm}^{-2}$ とした。ドーピングは図に示すように、酸化膜を透過して不純物を打ち込むスルーインプラによっておこなった。このようなスルーインプラを使用するメリットは、後のレーザーアニールによる再結晶化の過程で、不純物領域の表面の滑らかさが保たれるということである。スルーインプラでない場合には、再結晶の際に、不純物領域の表面に多数の結晶核が生じ、表面に凹凸が生じる。このようにして、図10(B)に示されるような構造が得られた。なお、当然のことながら、このようなイオン注入によって不純物の注入された部分の結晶性は著しく劣化し、実質的に非結晶状態(アモルファス状態、あるいはそれに近い多結晶状態)になっている。

【0053】さらに、配線506に電気を通じ、陽極酸化法によって、ゲイト電極・配線の周囲(上面および側面)に酸化アルミニウムの被膜508を形成した。陽極酸化は、3%の酒石酸のエチレングリコール溶液を5%アンモニアで中和して、pHを7.0±0.2とした溶液を使用しておこなった。まず、溶液中に陰極として白金を浸し、さらにTFTを基板ごと浸して、配線506を電源の陽極に接続した。温度は25±2°Cに保った。

【0054】この状態で、最初、 0.5 mA/cm^2 の電流を流し、電圧が200Vに達したら、電圧を一定に保ったまま通電し、電流が 0.005 mA/cm^2 になったところで電流を止め、陽極酸化を終了させた。このようにして得られた陽極酸化膜の厚さは約250nmであった。その様子を図10(C)に示す。

【0055】その後、レーザーアニールをおこなった。レーザーはKrFエキシマーレーザーを用い、例えば 35.0 mJ/cm^2 のパワー密度のレーザーパルスを10ショット照射した。少なくとも1回のレーザー照射によって、非結晶状態のシリコンの結晶性をTFTの動作に耐えられるまで回復させることは確かめられているが、レーザーのパワーのふらつきによる不良の発生確率を十分に低下させるためには、十分な回数のレーザー照射が望ましい。しかしながら、あまりにも多数のレーザー照射は生産性を低下させることとなるので、本実施例で用いた10回程度が最も望ましいことが明らかになった。

【0056】レーザーアニールは、量産性を高めるために大気圧下でおこなった。すでに、不純物領域の上には酸化珪素膜が形成されているので、特に問題となることはなかった。もし、不純物領域が露出された状態でレーザーアニールをおこなっても、結晶化と同時に、大気から不純物領域内に酸素が侵入し、結晶性が良くないため、十分な特性を有するTFTが得られなかつた。そのため、不純物領域が露出したものは、真空中でレーザーアニールをおこなう必要があった。

【0057】また、本実施例では、図10(D)に示されるように、レーザー光を斜めから入射させた。例え

ば、本実施例では、基板の垂線に対して 10° の角度でレーザー光を照射した。角度は作製する素子の設計仕様に合わせて決定される。このようにすることによって、レーザーによって、不純物領域のうち結晶化される領域を非対称とすることができる。すなわち、図中の領域509、510は十分に結晶化された不純物領域である。領域511は不純物領域ではないが、レーザー光によって結晶化された領域である。領域512は不純物領域であるが結晶化がなされていない領域である。例えば、ホットエレクトロンの発生しやすいドレイン側には、図10(D)の右側の不純物領域を使用すればよい。

【0058】このようにして、素子の形状を整えた。その後は、通常のように、酸化珪素のスパッタ成膜によって層間絶縁物を形成し、公知のフォトリソグラフィー技術によって電極用孔を形成して、半導体領域あるいはゲート電極・配線の表面を露出させ、最後に、金属被膜を選択的に形成して、素子を完成させた。

【0059】〔実施例3〕本発明によって得られるTFTにおいては、非結晶半導体領域やオフセット領域の幅によって、オフ電流だけでなく、ソース／ドレイン間の耐圧や動作速度が変化する。したがって、例えば、陽極酸化膜の厚さやイオン注入エネルギー等のパラメータを最適化することによって、目的に応じたTFTを作製することが出来る。しかしながら、これらのパラメータは一般に1枚の基板上に形成された個々のTFTに対して、調節できるものではない。例えば、実際の回路においては1枚の基板上に、低速動作でもよいが高耐圧のTFTと、低耐圧でもよいが高速動作が要求されるTFTとが、同時に形成されることが望まれる場合がある。一般に、本発明においては、オフセット領域の幅あるいは非結晶不純物半導体領域の幅が大きいほど、オフ電流が小さく、耐圧性も向上するが、動作速度が低下するという欠点もあった。

【0060】本実施例はこのような問題を解決する1例を示す。図11(上面図)および図12(断面図)には本実施例を示す。本実施例では、特願平3-296331に記述されるような、PチャネルTFTとNチャネルTFTを1つの画素(液晶画素等)を駆動するために使用する画像表示方法において使用される回路の作製に関するものである。ここで、NチャネルTFTは高速性が要求され、耐圧はさほど問題とされない。一方、PチャネルTFTは、動作速度はさほど問題とされないが、オフ電流が低いことが必要とされ、場合によっては耐圧性がよいことも必要とされる。したがって、NチャネルTFTは陽極酸化膜が薄く($20\sim100\text{ nm}$)、PチャネルTFTは陽極酸化膜が厚い($250\sim400\text{ nm}$)ことが望まれる。以下にその作製工程について説明する。

【0061】実施例2の場合と同様にコーニング7059を基板601として、N型不純物領域602、P型不

純物領域603、ゲート絶縁膜604ゲート電極・配線606と607を形成した。ゲート電極・配線はいずれも配線650に接続されている。(図11(A)、図12(A))

【0062】さらに、ゲート電極・配線606、607に電気を通じ、陽極酸化法によって、ゲート電極・配線606、607の周囲(上面および側面)に酸化アルミニウムの被膜613、614を形成した。陽極酸化は実施例2と同じ条件でおこなった。ただし、最大電圧は50Vとした。したがって、この工程で作製された陽極酸化膜の厚さは約60nmである。(図12(B))

【0063】次に図11(B)において、651で示されるように、ゲート電極・配線606をレーザーエッチングによって配線650から切り離した。そして、この状態で再び、陽極酸化を始めた。条件は先と同じであるが、このときには最大電圧は250Vまで上げた。その結果、配線606には電流が流れないので、何の変化も生じなかつたが、配線607には電流が流れるため、ゲート配線607の周囲に厚さ約300nmの酸化アルミニウム皮膜が形成された。(図12(c))

【0064】その後、レーザーアニールをおこなった。その条件は実施例2と同じとした。この場合には、NチャネルTFT(図12左側)は、非結晶領域およびオフセット領域の幅 a_1 は無視できるほど狭いのであるが、陽極酸化膜によってアルミニウムの配線の表面を覆っておかなければ、レーザー光の照射によって著しいダメージがあったので、例え、薄くとも陽極酸化膜を形成する必要があった。一方、PチャネルTFT(図12右側)は陽極酸化膜の厚さが300nmであり、非結晶領域も $150\sim200\text{ nm}$ 存在した。また、オフセット領域の幅 a_2 も $100\sim150\text{ nm}$ であったと推定される。

(図12(D))

【0065】実施例2の場合と同様に、大気中でのレーザー照射によって、アルミニウム配線の必要な箇所をエッチングし、PチャネルTFTのゲート電極を配線607から分離し、また、配線650を切断した。さらに、層間絶縁膜を形成し、コンタクトホールを形成し、配線624や611を形成した。このようにして、回路が形成された。

【0066】このようにして作製された回路においては、NチャネルTFTは、オフセット領域や非結晶領域の幅が小さく、オフ電流は若干多いが、高速性に優れていた。一方、PチャネルTFTは、高速動作は困難であったが、オフ電流が少なく、画素キャパシターに蓄積された電荷を保持する能力に優れていた。

【0067】このように1枚の基板上に機能が異なるTFTを集積しなければならない場合は他にもある。例えば、液晶表示ドライバーにおいては、シフトレジスター等の論理回路には高速TFTが、出力回路には高耐圧TFTが要求される。このような相反する目的に応じたT

F Tを作製する場合には本実施例で示した方法は有効である。

【0068】【実施例4】本発明中の実施例1で使用した作製方法を用いて、図13に示されるようなNチャネルTFTからなるアクティブマトリクス回路を作製した。すなわち、このアクティブマトリクスはゲート線701とデータ線702のマトリクスであり、これらはいずれも低抵抗なアルミニウムからなるが、本発明における陽極酸化工程を経ているので、厚さ200~400nmの酸化アルミニウムによって被覆されている。これらの線幅は2μmとした。また、その厚さは0.5μmとした。また、ゲート線には各画素のTFTのゲート電極703が設けられている。これも同様に酸化アルミニウムによって被覆されている。ゲート電極の下には半導体層704が形成されており、実施例1のNチャネルTFTと同様に、リンのドープされたN型多結晶不純物領域があり、また、本発明の特徴であるオフセット領域に関しては、その幅は200~400nm程度となるように設計されている。この半導体層のソースはデータ線702にコンタクトし、一方、ドレインはアルミニウム電極705を介して、表示画素電極(ITOからなる)706に接続されている。

【0069】図14は本実施例で作製したアクティブマトリクス素子の回路図と、本実施例の素子の動作、および比較のために従来の方法で作製されたTFTを用いた素子の動作を示したものである。先にも述べたように、このような構造のマトリクスにおいては、キャパシター C_{it} の充電が終了して、ゲート電圧がOFF状態となったときに、キャパシター C_{it} はゲートとドレインの寄生容量 C_{dd} を介して、ゲート線と容量結合し、その充電電圧から ΔV だけ電圧が降下することが知られている。この現象は、実施例1のように、NチャネルTFTとPチャネルTFTとが並列に接続された回路であっても同様である。その詳細は、本発明人等の出願である特願平3-208648に記述されている。

【0070】図14に示されるようにNチャネルあるいはPチャネルどちらか一方のTFTだけからなる回路では、その電圧降下 ΔV は、

$$\Delta V = C_{dd} \cdot V_c / (C_{it} + C_{dd})$$

であらわされる。ここで、 V_c とは、ゲート電圧のON電圧からOFF電圧への変動幅である。例えば、セルフアラインを使用しないで作製したTFTでは、寄生容量 C_{dd} が著しく大きいので、 ΔV も大きくなり、これを克服する為に図14に示すように画素キャパシターに並列に蓄積容量 C_A を形成し、見掛け上、画素キャパシターの容量を大きくしていた。しかしながら、このような措置は問題を本質的に解決することとは成らず、開口率の低下等の問題を新たに引き起こしたことは先に述べた通りである。

【0071】セルフアライン方式で作製した素子でも、

画素のサイズが小さくなり、画素キャパシターに比してTFTの寄生容量が無視できなくなった場合には、この電圧降下は重大な問題となる。例えば、対角3インチのハイビジョン対応パネル(プロジェクト用)においては、画素容量は13fFという微小なものである。一方、プロセスに2μmルールを採用してTFTを作製した場合には、配線のアスペクト比が大きく、もはや平面的な重なりではなくとも立体幾何学的に寄生容量が生じてしまい、その大きさは数fFにもなる。すなわち、画素キャパシターの容量の10%以上にも達する。

【0072】図14(A)には従来のTFTを用いたアクティブマトリクスの例を示したが、明らかに、 ΔV によって、本来あるべき表示が不可能となる。すなわち、TFTを高速で動作させる為には、ゲート電圧はドレン電圧よりも高いことが要求される。通常、ドレン電圧の2倍程度の電圧がゲート電圧として採用される。したがって、ドレン電圧が5Vであれば、ゲート電圧は10Vもしくはそれ以上である。さらに、TFTの動作を完璧にする目的で、OFF状態ではゲート電圧を負とするときには、ゲート電圧の変化はより大きくなる。例えば、図14の場合には、ドレン電圧は±6Vの交流であるが、ゲート電圧はON状態で+12V、OFF状態で-4Vであるので、上記の式においては、 $V_c = 16V$ となる。寄生容量が2fFであれば、図14(A)に示すように ΔV は2Vであり、ドレン充電電圧の実に1/3である。もちろん、自然放電によって画素に蓄えられた電荷は放電するので、実際にはより一層、表示を理想的に行なうことは困難である。そして、このような問題を避ける為には、開口率を犠牲にして蓄積容量を設けなければならなかった。

【0073】一方、本発明を適用した場合には、寄生容量は著しく削減できる。具体的には0.1fF以下とすることが出来る。したがって、 ΔV は、図14(B)に示すようにほとんど無視できる。さらに、本発明ではOFF電流が従来の方法で作製されるTFTよりも1桁程度小さいので自然放電もずっと緩やかであり、極めて表示が理想的に行える。

【0074】

【発明の効果】このようにして、本発明ではゲート電極の表面に陽極酸化からなる絶縁膜層を設けることで、チャネル長をゲート電極のチャネル長方向の長さよりも長くなり、チャネル領域の両側部にゲート電極による電界のかからないあるいは非常に弱い電界のかかるオフセット領域を設けること、あるいは同様な手法によって同様な効果を有する非結晶性の不純物半導体領域を設けることができ、逆バイアス時のリーク電流を削減することが出来た。その結果、従来不可欠であった電荷保持容量が不要となって、従来20%程度であった開口率を35%以上、あるいはそれ以上にすることができる、より良好な表示品質を得ることができた。

【0075】本発明では、オフセット領域あるいは非結晶質不純物領域は、ゲート電極の陽極酸化膜の厚さによって決定されるので、これらの領域の幅は 10 ~ 100 nm の間で極めて精密に制御することができる。しかも、この工程を付加することによって歩留りが著しく低下することは特に見られなかつたし、歩留り低下の原因として考えられる要因もなかつた。

【0076】本発明は主としてシリコン系の半導体装置について述べたが、ゲルマニウムや炭化珪素、砒化ガリウム等の他の材料を使用する半導体装置にも本発明が適用されうることは明白である。

【図面の簡単な説明】

【図1】本発明による半導体装置の構造を示す。

【図2】従来例による半導体装置の構造を示す。

【図3】従来例による半導体装置の電流電圧特性を示す。

【図4】本発明による半導体装置の電流電圧特性を示す。

【図5】従来例によるアクティブラチクス型液晶電気光学装置の回路構成を示す。

【図6】実施例1におけるアクティブラチクス型液晶電気光学装置の回路図を示す。

【図7】実施例1におけるアクティブラチクス型液晶電気光学装置の構造を示す。

【図8】実施例1におけるアクティブラチクス型液晶電気光学装置の作製工程を示す。

【図9】本発明によるTFTの特性例およびその動作原理を示す。

【図10】実施例2によるTFTの作製工程例の断面図を示す。

【図11】実施例3によるTFTの作製工程例の上面図を示す。

【図12】実施例3によるTFTの作製工程例の断面図を示す。

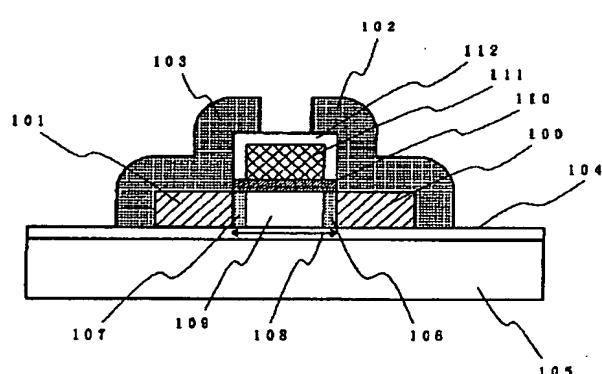
【図13】実施例4におけるアクティブラチクス型液晶電気光学装置の構造を示す。

【図14】実施例4におけるアクティブラチクス型電気光学装置の回路図および動作を示す。

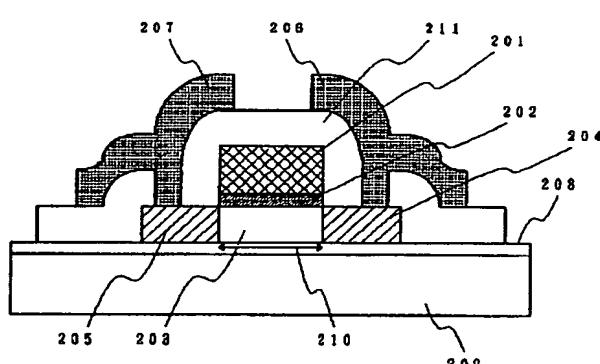
【符号の説明】

105, 209	絶縁基板
104, 208	ブロッキング層
109, 203	チャネル領域
108, 210	チャネル長
100, 204	ソース領域
101, 205	ドレイン領域
20 110, 202	ゲート絶縁膜
111, 201	ゲート電極
112	酸化物層
211	層間絶縁膜
102, 206	ソース電極
103, 207	ドレイン電極

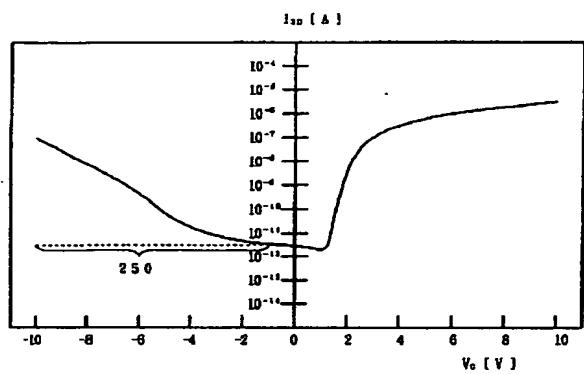
【図1】



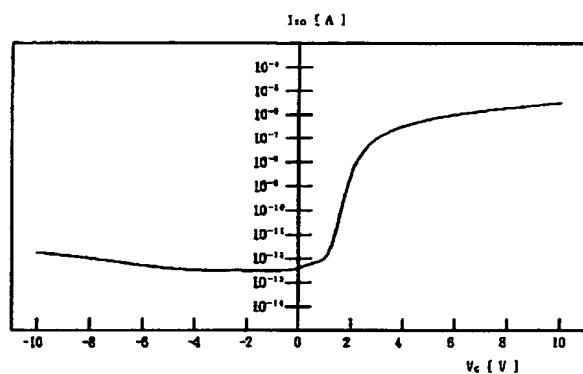
【図2】



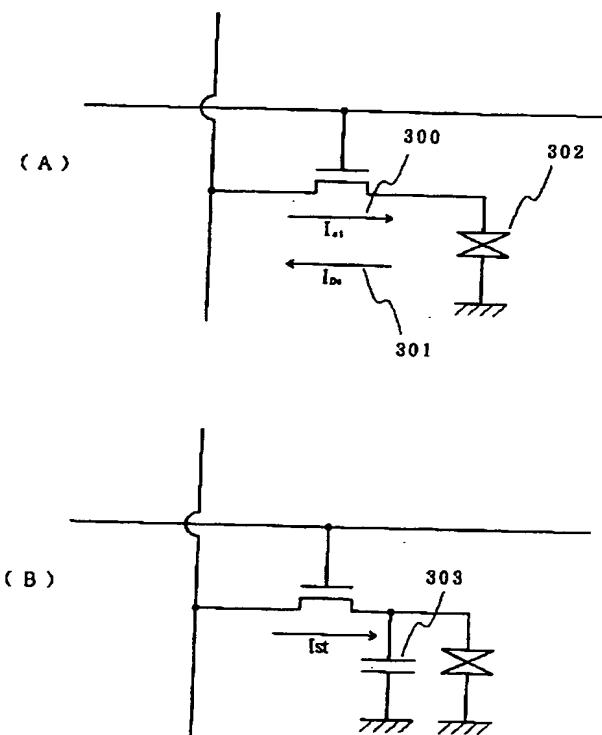
【図3】



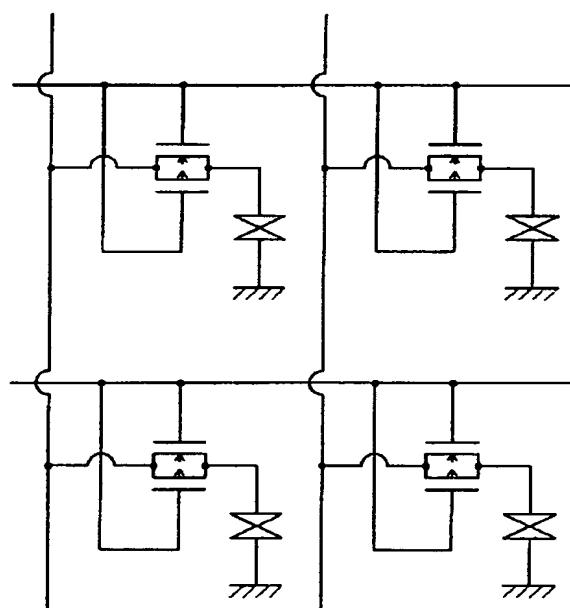
【図4】



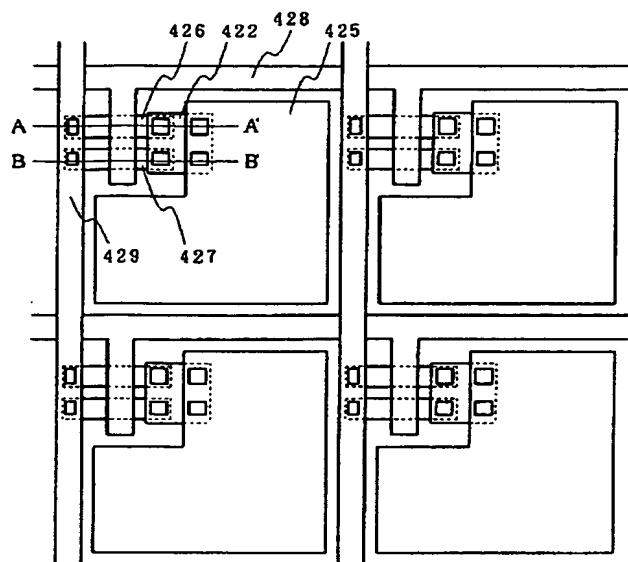
【図5】



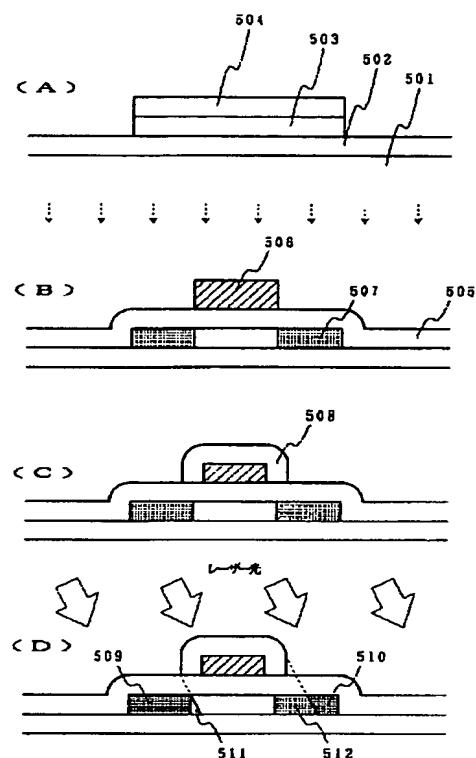
【図6】



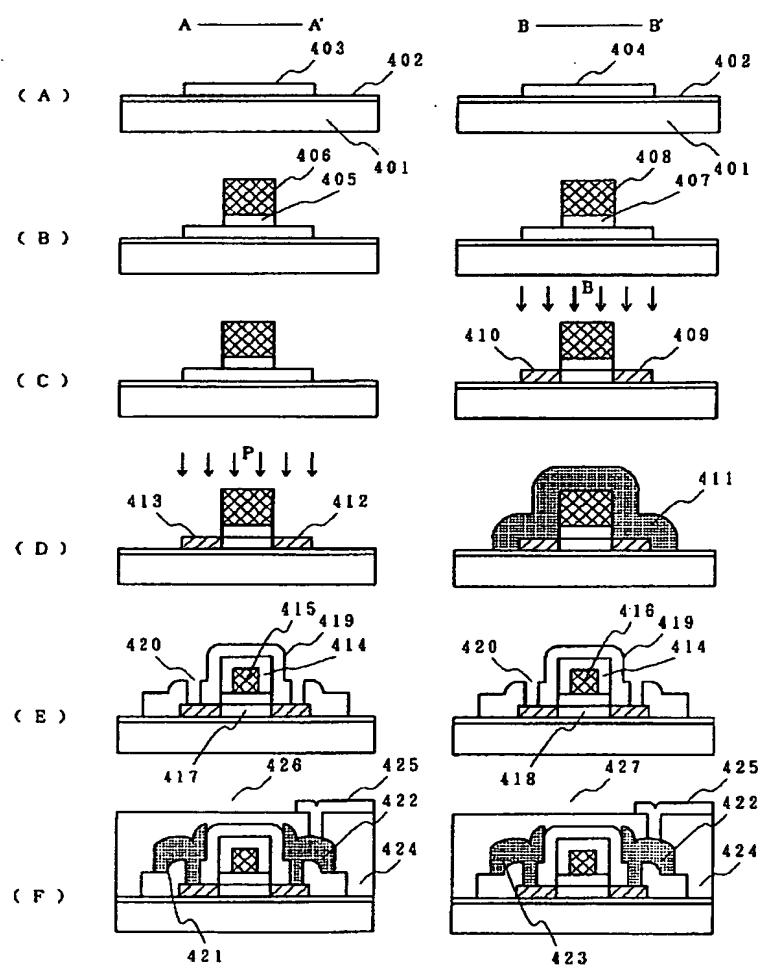
【図 7】



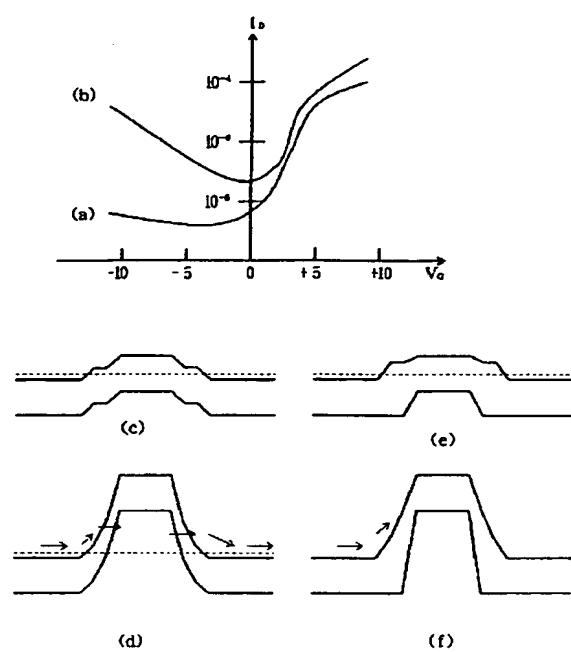
【図 10】



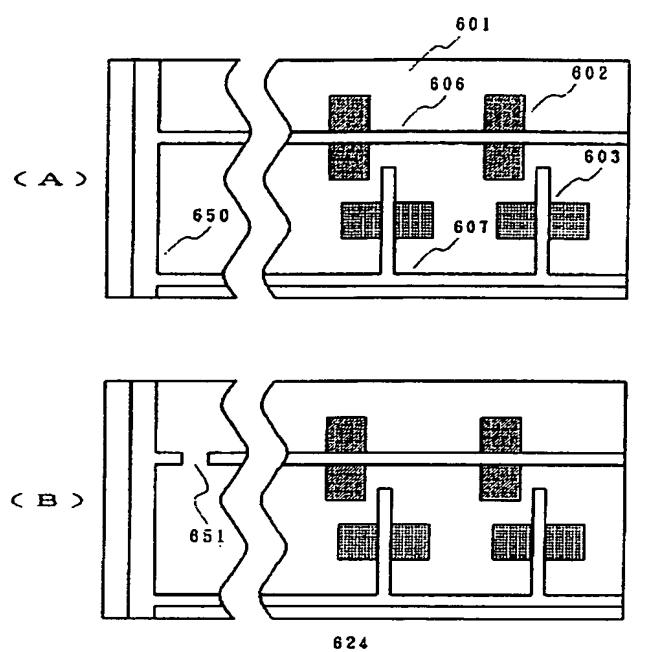
【図 8】



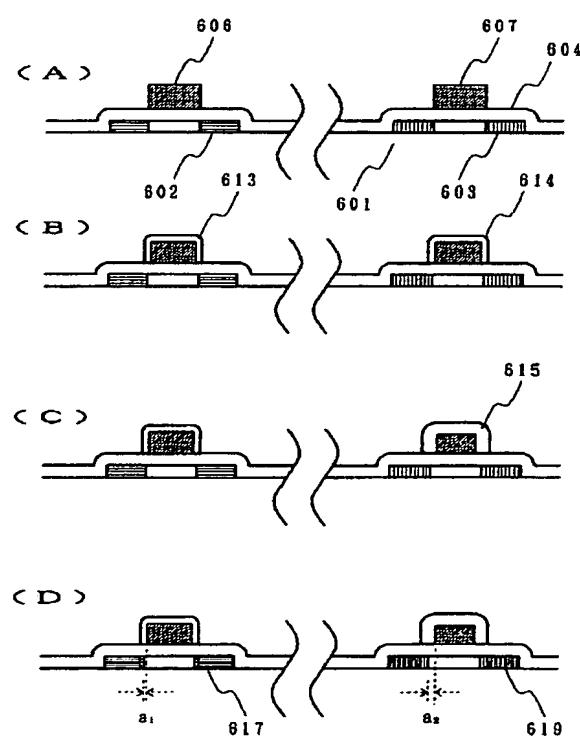
【図9】



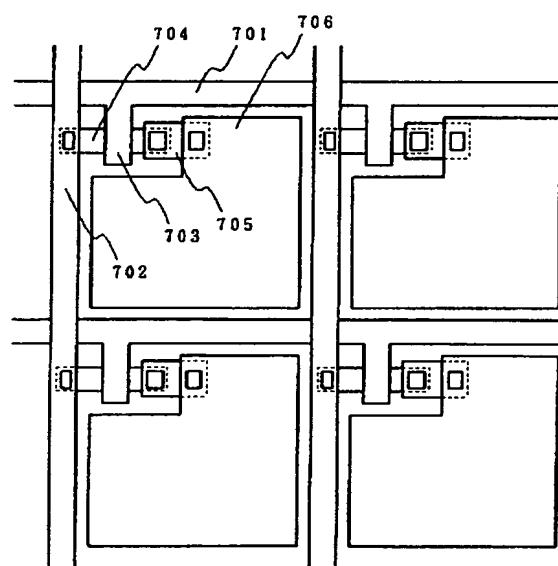
【図11】



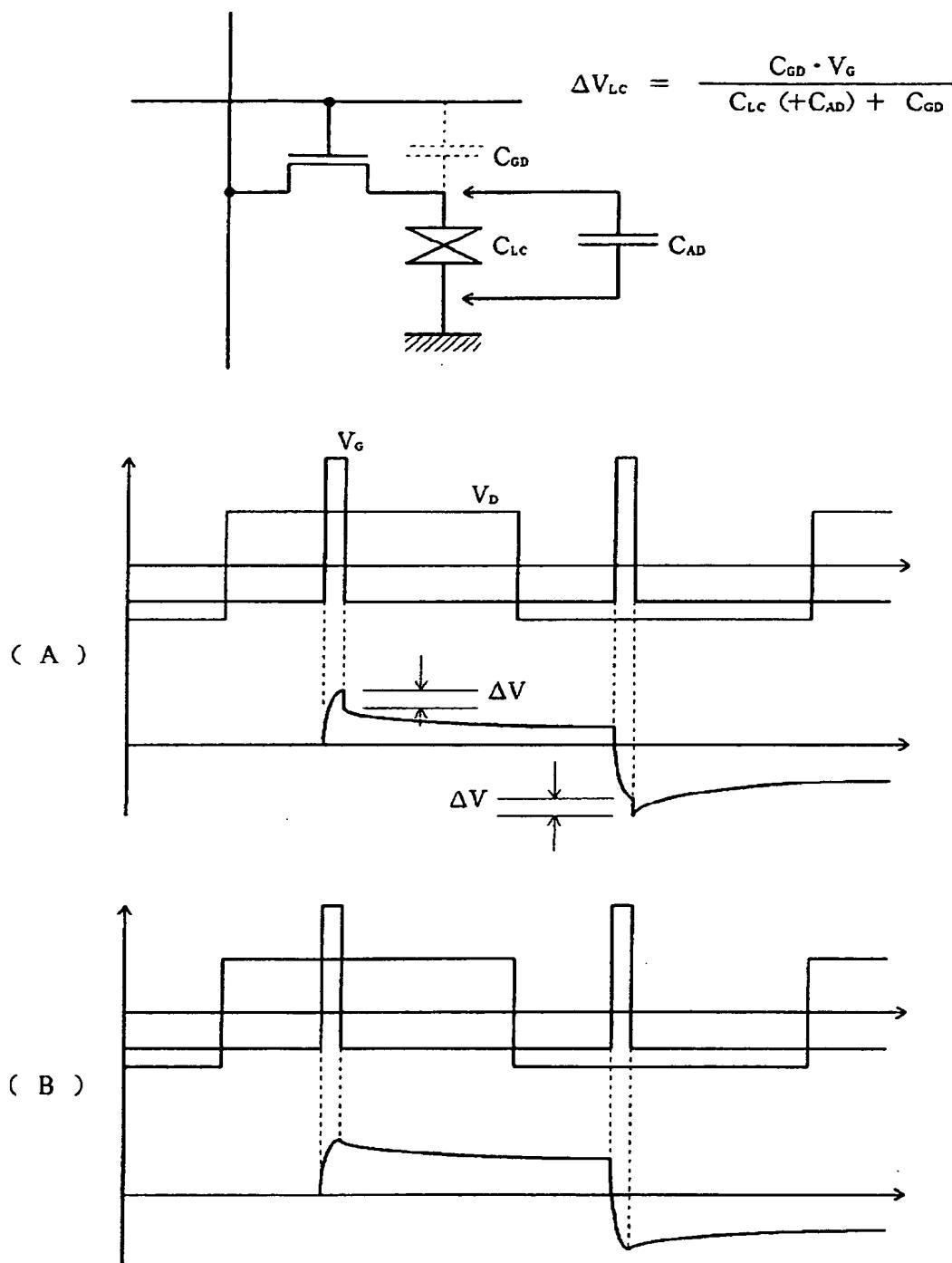
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 張 宏勇
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内